

04.08.03

REC'D 19 SEP 2003

WIPO PCT

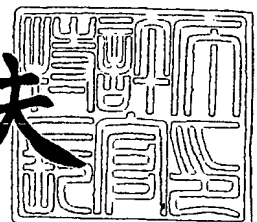
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 人
Applicant(s): 矢崎総業株式会社

2003年 9月 4日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 YZK-5974

【提出日】 平成14年 7月12日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/00

【発明の名称】 半導体保護装置の回路定数設定方法及びこの方法を用いた半導体素子の保護装置

【請求項の数】 4

【発明者】

 【住所又は居所】 愛知県豊田市福受町上ノ切 1 5 9 - 1 矢崎部品株式会社
社内

 【氏名】 大島 俊藏

【特許出願人】

 【識別番号】 000006895

 【氏名又は名称】 矢崎総業株式会社

 【代表者】 矢崎 裕彦

【代理人】

 【識別番号】 100083806

 【弁理士】

 【氏名又は名称】 三好 秀和

 【電話番号】 03-3504-3075

【選任した代理人】

 【識別番号】 100068342

 【弁理士】

 【氏名又は名称】 三好 保男

【選任した代理人】

 【識別番号】 100100712

 【弁理士】

 【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100087365

【弁理士】

【氏名又は名称】 栗原 彰

【選任した代理人】

【識別番号】 100079946

【弁理士】

【氏名又は名称】 横屋 赳夫

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708734

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体保護装置の回路定数設定方法及びこの方法を用いた半導体素子の保護装置

【特許請求の範囲】

【請求項 1】 直流電源と負荷との間に介置された半導体素子を有し、該半導体素子をオン、オフ操作することにより、前記負荷の駆動、停止を切り換えると共に、前記半導体素子の第 1 の主電極と第 2 の主電極との間の電圧降下が所定の判定電圧を超えた際に当該半導体素子を遮断する機能を具備した半導体保護装置の、回路定数設定方法であって、

前記半導体素子のチャンネル温度が許容温度上限のときの、当該半導体素子のオン抵抗値と、ジュール熱による自己発熱により前記チャンネル温度が許容温度の上限値に到達する最小の電流値と、の積を臨界電圧とし、

前記判定電圧が、前記臨界電圧以下となるように、各種回路素子の定数を設定することを特徴とする回路定数設定方法。

【請求項 2】 前記半導体素子の仕様に対し、オン抵抗のバラツキが生じる場合には、バラツキが生じるオン抵抗のうちの最小の値を用いることを特徴とする請求項 1 に記載の回路定数設定方法。

【請求項 3】 直流電源と負荷との間に介置された半導体素子を有し、該半導体素子をオン、オフ操作することにより、前記負荷の駆動、停止を切り換えると共に、前記半導体素子を保護する機能を具備した半導体素子の保護装置において、

前記半導体素子の第 1 の主電極と第 2 の主電極との間の電圧降下分と、所定の判定電圧とを比較する比較手段と、

前記比較手段にて、前記電圧降下分が前記判定電圧よりも大きいと判定された際に、前記半導体素子を遮断する手段と、を有し、

前記半導体素子のチャンネル温度が許容温度上限のときの、当該半導体素子のオン抵抗値と、ジュール熱による自己発熱により前記チャンネル温度が許容温度の上限値に到達する最小の電流値と、の積を臨界電圧とし、

前記判定電圧を、前記臨界電圧以下に設定することを特徴とする半導体素子の

保護装置。

【請求項 4】 前記半導体素子の仕様に対し、オン抵抗のバラツキが生じる場合には、バラツキが生じるオン抵抗のうちの最小の値を用いることを特徴とする請求項 3 に記載の半導体素子の保護装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、負荷と電源回路との間に配置されたスイッチ用の半導体素子を保護する半導体素子の保護装置、及び回路定数設定方法に関する。

【0002】

【従来の技術】

例えば、車両に搭載されるヘッドライト、テールランプ等の各種負荷は、バッテリーより供給される直流電圧が印加されて動作する。このような各負荷は、回路の故障や動作不良等に起因して過電流が流れる場合がある。過電流が流れた場合には、半導体スイッチが過熱され、且つ、電源回路と負荷との間を接続するためのハーネスが過熱されるので、ハーネスが焼損するというトラブルが発生する場合がある。

【0003】

そこで、このようなトラブルの発生を回避するために、負荷、或いは半導体スイッチに流れる電流値を検出し、該電流値が過電流となった際に、半導体スイッチを遮断する過電流保護装置が提案され実用に供されている。

【0004】

【発明が解決しようとする課題】

しかしながら、上述した従来の過電流保護装置においては、過電流を検出しているのみであり、半導体スイッチの温度を考慮していない。即ち、半導体スイッチの温度が高く、且つ、周囲温度が高い場合には、電流値があまり大きくない場合でも、半導体スイッチが損傷する場合がある。反対に、半導体スイッチの温度が低い場合には、電流値が大きい場合であっても、損傷の恐れがないにも関わらず、回路が遮断されてしまう。

【0005】

この発明は、このような従来の課題を解決するためになされたものであり、その目的とするところは、半導体素子に流れる電流値に加え、該半導体素子の温度、及び周囲温度を考慮して半導体素子を保護することのできる半導体素子の保護装置、及び回路定数の設定方法を提供することにある。

【0006】

【課題を解決するための手段】

上記目的を達成するため、本願請求項1に記載の発明は、直流電源と負荷との間に介置された半導体素子を有し、該半導体素子をオン、オフ操作することにより、前記負荷の駆動、停止を切り換えると共に、前記半導体素子の第1の主電極と第2の主電極との間の電圧降下が所定の判定電圧を超えた際に当該半導体素子を遮断する機能を具備した半導体保護装置の、回路定数設定方法であって、前記半導体素子のチャンネル温度が許容温度上限のときの、当該半導体素子のオン抵抗値と、ジュール熱による自己発熱により前記チャンネル温度が許容温度の上限値に到達する最小の電流値と、の積を臨界電圧とし、前記判定電圧が、前記臨界電圧以下となるように、各種回路素子の定数を設定することを特徴とする。

【0007】

請求項2に記載の発明は、請求項1に記載した方法において、前記半導体素子の仕様に対し、オン抵抗のバラツキが生じる場合には、バラツキが生じるオン抵抗のうちの最小の値を用いることを特徴とする。

【0008】

請求項3に記載の発明は、直流電源と負荷との間に介置された半導体素子を有し、該半導体素子をオン、オフ操作することにより、前記負荷の駆動、停止を切り換えると共に、前記半導体素子を保護する機能を具備した半導体素子の保護装置において、前記半導体素子の第1の主電極と第2の主電極との間の電圧降下分と、所定の判定電圧とを比較する比較手段と、前記比較手段にて、前記電圧降下分が前記判定電圧よりも大きいと判定された際に、前記半導体素子を遮断する手段と、を有し、前記半導体素子のチャンネル温度が許容温度上限のときの、当該半導体素子のオン抵抗値と、ジュール熱による自己発熱により前記チャンネル温

度が許容温度の上限値に到達する最小の電流値と、の積を臨界電圧とし、前記判定電圧を、前記臨界電圧以下に設定することを特徴とする。

【0009】

請求項4に記載の発明は、請求項3に記載した装置において、前記半導体素子の仕様に対し、オン抵抗のバラツキが生じる場合には、バラツキが生じるオン抵抗のうちの最小の値を用いることを特徴とする。

【0010】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。図1は、本発明に係る半導体素子の保護装置の原理を示す説明図であり、まず、同図を参照して本実施形態の原理について説明する。

【0011】

図1に示すように、この回路は、直流電源VBと、例えば車両に搭載されるランプ等の負荷RLと、直流電源VBと負荷RLとの間に介置されたFET(T1；半導体素子)とを有している。直流電源VBとFET(T1)の間には、配線の抵抗Rw、及び配線のインダクタンスLwが存在しており、該配線とFET(T1)との接続点p1、即ち、FET(T1)のドレイン(第1の主電極)は、トランジスタT4、抵抗R1、及び抵抗R2を介してグランドに接続されている。

【0012】

また、トランジスタT4と抵抗R1との接続点p2は、抵抗R3、トランジスタT2、及び抵抗R5を介してグランドに接続されている。抵抗R3とトランジスタT2との接続点は、抵抗R7を介してアンプAMP1のプラス端子に接続され、更に、該アンプAMP1のマイナス端子は、抵抗R8を介してFET(T1)のソースと接続されている。アンプAMP1の出力端子は、抵抗R9を介して、トランジスタT2のゲートに接続されている。

【0013】

また、FET(T1)のソースは、抵抗R4と、ダイオードD1を介して抵抗R1と抵抗R2との接続点p3に接続され、この点p3は、コンパレータCMP

1のマイナス端子に接続されている。また、該コンパレータCMP1のプラス端子は、トランジスタT2と抵抗R5との接続点p4に接続されている。

【0014】

そして、FET(T1)の、所定のしきい値温度 $N^{\circ}\text{C}$ (以下、典型的な例として、 $N=150$ とする)のときのオン抵抗 $R_{on}(@150^{\circ}\text{C})$ が、以下に示す(1)式が成立するように、各種の回路定数を設定すれば、FET(T1)の温度が 150°C を超えることのないように制御することができる。

【0015】

$$\alpha * \beta * R_{on}(@150^{\circ}\text{C}) < R_L \quad \dots (1)$$

但し、後述するように、 α は分圧比、 β はVDSの増倍率である。

【0016】

以下、(1)式について、詳細に説明する。本実施形態では、FET(T1)のチャンネル温度が増大すると、これに伴って、該FET(T1)のオン抵抗 R_{on} が単調増加的に増加することを利用し、予めFET(T1)のチャンネル温度が 150°C となったときのオン抵抗 $R_{on}(@150^{\circ}\text{C})$ を求め、このオン抵抗に到達する前に、FET(T1)を遮断するように、各種回路素子の定数を設定する。

【0017】

図1に示した回路において、FET(T1)のオン抵抗 R_{on} とドレイン電流 I_D との積として求められる電圧降下(VDS; ドレイン・ソース間電圧)が、所定の判定電圧を超えたときに、異常(過電流)であると判定し、FET(T1)を遮断する。この際、判定電圧は、電源電圧VBに比例したレベルとする。

【0018】

具体的には、ドレイン・ソース間電圧VDSを β 倍に増幅して $\beta * VDS$ を取得し、且つ、電源電圧VBを α で除した電圧 VB/α を判定電圧として取得し、この電圧 $\beta * VDS$ と、 VB/α とを比較する。そして、 $\beta * VDS$ の方が大きくなったとき($\beta * VDS > VB/\alpha$)に、FET(T1)を遮断する。即ち、FET(T1)のドレイン・ソース間電圧が所定の判定電圧を超えたときに、FET(T1)を遮断して、当該FET(T1)、及びその他の回路を保護する。

【0019】

ここで、分圧比 α は、点 p 3 に発生する電圧 V_4 であり、 $V_4 = V_B / \alpha$ である。

【0020】

また、増倍率 β は、 R_5 / R_3 で示すことができるので、 $\beta * V_{DS}$ は、点 p 4 に発生する電圧 V_5 となる。つまり、アンプ AMP 1 及びトランジスタ T 2 は、FET (T 1) のドレイン・ソース間電圧と、抵抗 R_3 の両端電圧とが等しくなるように、抵抗 R_3 に流れる電流値を制御するので、点 p 4 の電圧 V_5 は、 $(R_5 / R_3) * V_{DS}$ となる。

【0021】

ここで、FET (T 1) の動作周囲温度の上限を T_{Amax} とし、FET (T 1) のチャンネル→雰囲気温度への熱抵抗を $R_{th}(ch-A)$ とし、動作周囲温度が上限値 T_{Amax} のとき自己発熱によりチャンネル温度が 150°C となるドレイン電流を $I_D(@150^\circ\text{C} \& T_{Amax})$ とすると、以下に示す (2) 式、(3) 式が成立する。

【0022】

$$\{I_D(@150^\circ\text{C} \& T_{Amax})\}^2 * R_{on}(@150^\circ\text{C}) * R_{th}(ch-A) + T_{Amax} = 150^\circ\text{C} \quad \dots (2)$$

$$I_D(@150^\circ\text{C} \& T_{Amax}) * R_{on}(@150^\circ\text{C}) \geq V_B / \alpha / \beta \quad \dots (3)$$

(2) 式は、FET (T 1) のチャンネル温度が 150°C となるドレイン電流 I_D の最小値を規定する。 T_{Amax} は仕様によって決定されるものであり、通常は $80 \sim 95^\circ\text{C}$ である。

【0023】

(3) 式は、 $I_D(@150^\circ\text{C} \& T_{Amax})$ が流れたときに FET (T 1) を遮断する条件である。(3) 式の左辺は、FET (T 1) のチャンネル温度が許容温度上限 (150°C) のときのオン抵抗値と、ジュール熱による自己発熱によりチャンネル温度が許容温度の上限値に到達する最小の電流値と、の積として表されており (臨界電圧)、この積 (臨界電圧) が電源電圧 V_B に比例する判定値 ($V_B / \alpha / \beta$) 以上となったときに、FET (T 1) が遮断される。

【0024】

(3) 式より、以下に示す (4) 式を満足する負荷については、全てこの FET (T1) を使用することができる。

【0025】

$$I_D * R_{on} (@150^{\circ}\text{C}) < V_B / \alpha / \beta \quad \dots (4)$$

ここで、負荷抵抗を R_L とすると、(4) 式は、以下の (5) 式となる。

【0026】

$$\alpha * \beta * R_{on} (@150^{\circ}\text{C}) < V_B / I_D = R_L \quad \dots (5)$$

即ち、前述した (1) 式が得られる。

【0027】

ここで、(3) 式より、点 p4 における電圧 V_5 が、点 p3 における電圧 V_4 以上となったときに、FET (T1) が遮断されるように制御される。即ち、(3) 式より、 $(\beta * V_{DS} \geq V_B / \alpha)$ が得られ、左辺の $\beta * V_{DS}$ は、図1に示す電圧 V_5 であり、右辺の V_B / α は、電圧 V_4 であるので、 $V_5 \geq V_4$ となったときに、FET (T1) が遮断される。つまり、後述する図2に示す回路に示すように、コンパレータ CMP1 の出力が、Hレベルとなったときに、FET (T1) が遮断される。

【0028】

従って、(1) 式が成立するような α 、 β が得られるように、各回路素子の定数 (抵抗値等) を設定すれば良い。逆に言えば、(1) 式が成立するような温度特性を有する FET (T1) を採用すれば良い。

【0029】

以下、具体的な回路について説明する。図1に示した回路において、 $V_B \doteq V_1 \doteq V_2$ 、 $V_4 = V_B / \alpha = (I_1 + I_2) R_2$ とすると、(6) 式、(7) 式が得られる。

【0030】

$$I_1 * R_4 + 0.7 + (I_1 + I_2) R_2 = V_1 \quad \dots (6)$$

但し、「0.7」は、ダイオード D1 の電圧降下分である。

【0031】

$$I_2 \cdot R_1 + (I_1 + I_2) R_2 = V_1 \quad \dots (7)$$

但し、トランジスタ T4 の電圧降下をゼロと見なす。

【0032】

(6) 式、(7) 式より、次の (8) 式、(9) 式が得られる。

【0033】

$$I_1 (R_4 + R_2) + I_2 \cdot R_2 = V_1 - 0.7 \quad \dots (8)$$

$$I_1 \cdot R_2 + I_2 (R_1 + R_2) = V_1 \quad \dots (9)$$

更に、(8) 式、(9) 式より、次の (10) 式、(11) 式が得られる。

【0034】

$$I_1 = \{V_1 \cdot R_1 - 0.7 \cdot (R_1 + R_2)\} / (R_1 R_2 + R_2 R_4 + R_4 R_1) \quad \dots (10)$$

$$I_2 = \{V_1 \cdot R_4 + R_2 \cdot 0.7\} / (R_1 R_2 + R_2 R_4 + R_4 R_1) \quad \dots (11)$$

(10) 式、(11) 式より、以下の (12) 式が得られる。

【0035】

$$\begin{aligned} V_4 &= (I_1 + I_2) R_2 \\ &= R_2 \{V_1 (R_1 + R_4) - 0.7 \cdot R_1\} / (R_1 R_2 + R_2 R_4 + R_4 R_1) \quad \dots (12) \end{aligned}$$

ここで、 $R_1 = R_2 = 10 \text{ [K}\Omega\text{]}$ 、 $R_4 = 2 \text{ [K}\Omega\text{]}$ とすると、(13) 式が得られる。

【0036】

$$\begin{aligned} V_4 &= (6/7) \cdot V_1 - 0.5 \\ &\doteq (6/7) \cdot V_1 \quad \dots (13) \end{aligned}$$

図 1 に示す負荷、及び該負荷に接続される各配線が正常状態であるとき、(14) 式が得られる。

【0037】

$$V_5 = \beta \cdot V_{DS} = \beta \cdot I_D \cdot R_{on} = \beta \cdot V_1 / R_L \cdot R_{on} \quad \dots (14)$$

そして、上述したように、 $V_5 > V_4$ となると、コンパレータ CMP 1 の出力は「H」レベルとなり、FET (T1) は遮断される。また、 $V_5 < V_4$ であれば、遮断されない。

【0038】

上述した (1) 式が成立していれば、 $R_{on} < R_{on} (@150^\circ\text{C})$ であるから、次の (15) 式が成立する。

【0039】

$$V_5 = \beta * I_D * R_{on} < \beta * I_D * R_{on} (@150^\circ\text{C})$$

$$< \beta * V_B / \alpha / \beta = V_B / \alpha = V_4 \quad \dots (15)$$

即ち、(1)、(3)、(4) 式を満足するように、FET (T1) を選定すれば、配線及び負荷が正常である限り、FET (T1) は遮断されず、且つ、該 FET (T1) の温度が 150°C を超えることがない。

【0040】

また、過電流状態になると、 $V_5 = V_4$ となる。このときのドレイン電流を I_{Ds} 、ドレイン・グランド間の抵抗を R_s とすると、以下の (16) 式が得られる。

【0041】

$$V_5 = \beta * I_{Ds} * R_{on} = \beta * V_2 / R_s * R_{on} = V_4 = V_2 / \alpha \quad \dots (16)$$

従って、 $R_s = \alpha \beta R_{on}$ 、 $I_{Ds} = V_2 / R_s$ なる関係が得られる。つまり、抵抗 R_s は、抵抗 R_{on} に比例する。また、 $R_{on} (@150^\circ\text{C})$ のとき、 R_s は最大となり、 I_{Ds} は最小となる。

【0042】

ここで、 α は (14) 式より、 $\alpha = 7/6$ となり、また、 $\beta = R_5 / R_3 = 41$ であるので、次の (17) 式が得られる。但し、 $R_5 = 8.2 [\text{K}\Omega]$ 、 $R_3 = 200 [\Omega]$ としている。

【0043】

$$R_s = \alpha \beta R_{on} = 47.8 * R_{on} \quad \dots (17)$$

従って、過電流状態の最大抵抗値 (= 正常時の最小抵抗値) を 47.8 で割っ

た値が $R_{on} (@150^{\circ}\text{C})$ となるように、FET (T1) を選定すれば良い。

【0044】

また、FET (T1) にドレイン電流が流れることにより、チャンネル温度が 150°C になる電流値を $ID(150)$ とすると、 $ID(150) \geq ID(@150^{\circ}\text{C} \& T_{Amax})$ であるから、(3) 式により、 $ID(150)$ は、正常電流範囲内に存在し得ず、過電流領域の値となる。 $ID(150)$ は一定値ではなく、周囲温度により変化する。電流 $ID(150)$ の値は、周囲温度が高くなるにつれて小さくなり、周囲温度上限で最小、即ち、 $ID(@150^{\circ}\text{C} \& T_{Amax})$ となる。

【0045】

このとき、 $\beta * ID(150) * R_{on} (@150^{\circ}\text{C}) > V_4$ となるから、 ID が過電流状態となって、周囲温度で決まる $ID(150)$ を超えると、FET (T1) は遮断される。周囲温度が低いほど、遮断電流値 $ID(150)$ と正常電流値との差は大きくなる。 $ID(150) > ID$ であれば、過電流であってもチャンネル温度は 150°C 以下である。

【0046】

つまり、周囲温度に依存して電流値 $ID(150)$ が変化するので、チャンネル温度が 150°C となる直前の状態で、FET (T1) を遮断することができる。

【0047】

図3に、チャンネル温度が許容温度上限（ここでは 150°C とする）のときのオン抵抗値 $R_{on} (@150^{\circ}\text{C})$ 、動作周囲温度が上限値 T_{Amax} のとき自己発熱によりチャンネル温度が許容温度上限（ 150°C ）に到達する最小の電流値 $ID(@150^{\circ}\text{C} \& T_{Amax})$ 、臨界電圧、判定電圧 V_4 、および点 p_4 に発生する V_5 電圧の関係を図示する。

【0048】

図3において、横軸はFET (T1) を流れるドレイン電流 ID を示し、縦軸は V_5 とチャンネル温度を示している。 ID が増加すると V_5 はオン抵抗 R_{on} で決まる勾配で増加し、チャンネル温度が上昇するに連れて、 R_{on} が大きくなるの

で、 I_D に対する V_5 電圧直線の勾配は大きくなる。

【0049】

R_{on} は理論上、絶対温度 T の $3/2$ 乗に比例し、常温に対して 150°C では約 1.7 倍になる。動作周囲温度上限 T_{Amax} からジュール熱による自己発熱によりチャンネル温度が上昇し、 150°C に到達する最小のドレイン電流が I_D ($@150^\circ\text{C} \& T_{Amax}$) である。この電流値に対応して、 R_{on} ($@150^\circ\text{C}$) の勾配で表される V_5 直線上の点の電圧が $\beta * \text{臨界電圧}$ となる。

【0050】

判定電圧 V_4 を $\beta * \text{臨界電圧}$ より低い値に設定するとドレイン電流 I_D ($@150^\circ\text{C} \& T_{Amax}$) では、チャンネル温度が 150°C に到達する前に $FET(T_1)$ は遮断される。 V_4 に到達できる最小電流値を I_{Ds} とすると I_{Ds} は自己発熱でチャンネル温度が 150°C に到達できないので、 V_4 に到達するときのチャンネル温度は $150^\circ\text{C} - \delta$ となる。

【0051】

I_{Ds} より小さなドレイン電流では V_4 に到達することがないので、この範囲の電流では $FET(T_1)$ は遮断されない。負荷 R_L に流れる正常電流（突入電流を除く）が I_{Ds} 以下になるように負荷と $FET(T_1)$ の関係を設定しておくで負荷が正常である限り、 $FET(T_1)$ は遮断されない。正常範囲を超える過電流が流れた場合、それが I_{Ds} 以下であれば $FET(T_1)$ は遮断されない。

【0052】

しかし、このときチャンネル温度は 150°C に到達しないから、 $FET(T_1)$ はダメージを受けることはない。 I_{Ds} 以上の過電流が流れた場合は $R_{on} * I_D$ が V_4 を上回ると $FET(T_1)$ は遮断されるが、このときも、チャンネル温度は $150^\circ\text{C} - \delta$ を上回ることはない。 I_D と I_{Ds} との差 ($I_D - I_{Ds}$) が大きくなるほど低いチャンネル温度で $FET(T_1)$ は遮断される。

【0053】

$FET(T_1)$ のチャンネル温度が最大になるのは I_{Ds} のときでそのときのチャンネル温度は $150^\circ\text{C} - \delta$ である。即ち、正常範囲のドレイン電流はもちろん、異常状態のいかなる過電流が流れても、チャンネル温度は $150^\circ\text{C} - \delta$ を超

えることはないので、FET (T1) はダメージを受けることなく、確実に保護される。判定値 V_4 を $\beta \times$ 臨界電圧と等しい値に設定すると ID (@150℃ & T_{Amax}) でチャンネル温度は150℃に到達するが、それ以上にはならない。オン抵抗等のばらつきを考慮して、 V_4 は $\beta \times$ 臨界電圧以下に設定するのが望ましい。

【0054】

図2は、図1に示した回路を含む、半導体素子の保護装置の構成を示す回路図である。同図に示すように、この半導体素子の保護装置100は、FET (T1) のオン、オフを切り換えるためのスイッチSW1と、駆動回路1と、タイマ2と、パルスカウンタ3と、を有している。また、オア回路OR1～OR3、アンド回路AND1～AND3、及びラッチDF1～DF3を有している。

【0055】

スイッチSW1は、オア回路OR2の一方の入力端に接続され、該オア回路OR2の他方の入力端は、ラッチDF1の出力端と接続されている。

【0056】

更に、オア回路OR2の出力端は、オア回路OR3の一方の入力端に接続され、他方の入力端は、コンパレータCMP1の出力端と接続されている。該オア回路OR3の出力端は、駆動回路1に接続されると共に、タイマ2にも接続されている。駆動回路1の出力端は、抵抗R10を介してFET (T1) のゲートに接続されている。コンパレータCMP1の出力端は、パルスカウンタ3と接続されている。

【0057】

また、抵抗R5に対して並列に、3つの抵抗R61、R60、R6がそれぞれ配設され、抵抗R61は、トランジスタT32を介してグランドに接続されている。同様に、抵抗R60はトランジスタT31を介してグランドに接続され、抵抗R6はトランジスタT3を介してグランドに接続されている。

【0058】

トランジスタT3のゲートは、タイマ2の出力端に接続され、トランジスタT31のゲートはアンド回路AND3の出力端に接続され、トランジスタT32の

ゲートはアンド回路AND 2の出力端に接続されている。

【0059】

また、アンプAMP 1の入力側には、ダイオードD 2、D 3、D 4、及び抵抗R 30が設けられている。

【0060】

次に、図2に示した半導体素子の保護装置100の動作について説明する。SW1がオフのとき、ラッチDF 1はリセットされ、オア回路OR 2につながるラッチDF 1の出力端はLレベルになる。操作者がSW1をオンとすると、オア回路OR 2の入力端につながる配線の電位がLレベルになるので、オア回路OR 2の出力はHレベルからLレベルに変化する。CMP 1の出力はFET (T 1) がオフのときは、Lレベルとなっているので、オア回路OR 3の出力はLレベルとなり、駆動回路1には、Lレベルの信号が供給される。

【0061】

これにより、該駆動回路1は、FET (T 1) のゲートに駆動信号を出力する。その結果、該FET (T 1) が導通するので、電源VBから負荷RLに電流が流れ、該負荷RLが駆動する。負荷RLがランプである場合には、ランプが点灯する。

【0062】

また、オア回路OR 3の出力信号は、タイマ2に供給されており、該タイマ2がスタートする。タイマ2には20ms間Hレベルになる出力(+Q)と、200ms間Hレベルになる出力が含まれており、そのうちの20ms出力(+Q)によりトランジスタT 3、T 31、T 32がオンし、抵抗R 5に並列に抵抗R 6、R 60、R 61を接続する。

【0063】

これにより、増倍率 β は、 $\beta = (R 5 \parallel R 6 \parallel R 60 \parallel R 61) / R 3$ となり、標準値 $R 5 / R 3$ より小さくなる。このため、FET (T 1) を流れるドレイン電流IDに対するV 5の電圧は、 β が小さくなった分だけ小さくなり、V 5電圧がV 4電圧を上回り難くなる。これはSW1をオンしたとき、過渡的に流れる突入電流に対応するための処置である。

【0064】

20ms経過すると20msタイマ出力(+Q)はLレベルになり、トランジスタT3、T31、T32はオフし、 β は標準値 $R5/R3$ に戻る。同時にラッチDF2がトリガされ、DF2の出力(-Q)がHレベルからLレベルに変化する。

【0065】

このとき $V5 < V4$ であれば、CMP1出力がLレベルを維持し、トランジスタT3、T31、T32はオフのままとなるが、 $V5 > V4$ となるとCMP1出力がHレベルになり、再度タイマ2がスタートし、20msタイマの出力(+Q)がHレベルとなる。このとき、トランジスタT3とT31はオンするが、T32はラッチDF2の出力(-Q)がLになっているためAND2出力がLレベルとなるので、オフのままとなる。

【0066】

β は $(R5 \parallel R6 \parallel R60)/R3$ となり、最初の値よりは大きくなるが標準値よりは小さくなる。20msタイマの2回目の出力期間が終ったとき、ラッチDF3がトリガされるので、20msタイマが3回目およびそれ以降に出力された場合には、T3のみがオンし、T31、T32はオフのままとなる。20msタイマの出力回数をカウンタ3がカウントアップし、8回を超えると異常状態と判断して、ラッチDF1をトリガし、SW1がオンであってもFET(T1)を遮断する。

【0067】

従って、SW1投入時に突入電流が発生しも、正常な突入電流、すなわち指数関数的に減少して安定値に至る突入電流に対しては、それが流れることにより回路が遮断されるというトラブルを回避することができる。

【0068】

ここで、スイッチSW1をオンとしてから暫くして、電流値が安定しているとき、軽微な過電流(例えばレアショート)、が流れると、該FET(T1)の、2つの主電極間(ドレイン、ソース間)の電圧VDSが上昇する。

【0069】

アンプAMP1は、抵抗R3の両端に発生する電圧と、FET(T1)のドレ

イン、ソース間電圧 V_{DS} とが等しくなるように、トランジスタ T_2 を制御するので、抵抗 R_3 を流れる電流が増大する方向に変化する。

【0070】

従って、点 p_4 における電圧 V_5 ($=\beta \cdot V_{DS}$)が増大し、コンパレータ CMP_1 のプラス側入力端に供給される電圧が増大する（このとき、トランジスタ T_{32} 、 T_{31} 、 T_3 は全てオフとなっている）。

【0071】

そして、この電圧 V_5 が基準電圧 V_4 を上回ると、コンパレータ CMP_1 の出力信号が L レベルから H レベルへ反転し、パルスカウンタ 3 をインクリメントする。

【0072】

これと同時に、タイマ 2 がトリガされ、 20ms タイマの出力（ $+Q$ ）が H になり、スタート時の突入電流処置と同じように、 3 つのトランジスタ T_{32} 、 T_{31} 、 T_3 はそれぞれ時間 20ms だけオンとなり、増倍率 β が小さくなるので、点 p_4 における電圧 V_5 は低下し、電圧 V_4 よりも低くなる（電圧 V_5 が低下してもなお電圧 V_4 より低くならない場合については後述する）。

【0073】

その後、 20ms の時間が経過すると、トランジスタ T_{32} 、 T_{31} 、 T_3 はオフとなり、ラッチ DF_2 がトリガされ、且つ、 β は標準値に戻るので、 $V_5 > V_4$ となり、タイマ 2 がトリガされ 20ms タイマが 2 回目の動作をスタートさせ、出力（ $+Q$ ）が H になる。

【0074】

これによりトランジスタ T_{31} 、 T_3 はオンするが、 T_{32} はラッチ DF_2 の出力（ $-Q$ ）が L になっているので、オフのままとなる。増倍率 β は $(R_5 \parallel R_6 \parallel R_{60}) / R_3$ となる。この β で $V_5 > V_4$ となると CMP_1 出力が H になる。

【0075】

20ms タイマ出力（ $+Q$ ）と CMP_1 出力が共に H となるので、アンド回路 AND_1 出力が L から H に変化し、オア回路 OR_1 を介してラッチ DF_1 をトリガ

し、DF1の出力がHになって、FETは遮断される。一方、 $V5 < V4$ となった場合はCMP1出力がLレベルを維持するので、20ms間、FET(T1)はオンを続ける。20msタイマの2回目出力が終了するとラッチDF3がトリガされ、DF3の出力(−Q)がHからLに変化する。トランジスタT31、T3がオフし、 β は標準値に戻る。 $V5 > V4$ となるので20msタイマが3回目のスタートを行う。

【0076】

3回目はT3のみがオンし、T32、T31はオフのままなので、 $\beta = (R5 \parallel R6) / R3$ となる。このとき、 $V5 > V4$ となると、AND1出力がHになり、ラッチDF1がトリガされて、FET(T1)は遮断される。 $V5 < V4$ となると20ms間FET(T1)はオンを続ける。20msタイマが終了すると、 $V5 > V4$ となるので20msタイマが4回目のスタートを行う。

【0077】

トランジスタT3のみがオンするが $V5 < V4$ なので、20ms間FET(T1)はオンを続ける。その後、5回目、6回目、7回目まで20msタイマ動作が繰り返され、タイマ作動回数をカウンタ3がカウントアップする。

【0078】

8回目のタイマ動作がスタートした時点で、カウンタ3がオーバーフローしてラッチDF1がトリガされ、FET(T1)は遮断される。以上の説明は異常状態(過電流)が連続的に発生している場合であるが、異常状態が間欠的に発生するケースもある。また、誤作動で20msタイマがスタートするケースも考えられる。

【0079】

これらに対応するため、20msタイマが200ms以上再スタートしなかった場合はカウンタ3及びラッチDF2、DF3をリセットするようにしている。タイマ2に含まれる200msタイマがこの役目を果たしている。以上により、過電流が大きくなるに連れて、遮断までの時間が短くなるという方法で、FET(T1)、及び該FET(T1)に接続される回路を確実に保護することができる。

【0080】

次に、負荷RLの短絡またはFET (T1) と負荷RLを結ぶ配線の接地により、重度の過電流（デッドショート）が発生した場合について説明する。この場合には、配線インダクタンス、及び配線抵抗が無視できなくなり、上述した(6)式を算出する際に用いた、 $V_B \doteq V_1 \doteq V_2$ という関係が成立せず、 $V_4 = V_B / \alpha$ の関係も成立しない。従って、 $V_B > V_1 > V_2$ となり、 $\gamma = V_B / V_2$ とすると、以下の(18)式が成立する。

【0081】

$$V_4 = V_2 / \alpha = V_B / \alpha / \gamma \quad \cdots (18)$$

(18)式より、電圧 V_4 は、通常時と比較して、 $1/\gamma$ となっている。これは、FET (T1) の遮断電流値が $1/\gamma$ になったことと同じであり、FET (T1) の遮断が早まる。

【0082】

つまり、デッドショート時には、点p4における電圧 V_5 が上昇すると共に、電圧 V_4 が低下するので($1/\gamma$ になるので)、コンパレータCMP1の反転が早まり、過電流のピーク値を抑制することができる。

【0083】

そして、デッドショート時には、たとえ20msタイマの出力(+Q)がHになり、トランジスタT32, T31, T3がオンとなって、電圧 V_5 を低下させても、なお且つ電圧 V_5 は電圧 V_4 を上回るので、コンパレータCMP1の出力信号は、Hレベルを維持することになる。これにより、アンド回路AND1の出力信号がHレベルとなり、ラッチDF1により、駆動回路1が遮断される。

【0084】

従って、デッドショート時には、パルスカウンタ3による計数(例えば8回)が行われずに、即時に駆動回路1が停止され、FET (T1) が遮断される。

【0085】

このようにして、本実施形態に係る半導体素子の保護装置100では、負荷RLに過電流が流れた場合において、FET (T1) のチャンネル温度が所定の温度(この例では、150℃)に達する前に、該FET (T1) が遮断され、負荷RLへの電圧の供給が停止されるので、FET (T1) の損傷を防止することが

できる。

【0086】

つまり、チャンネル温度上昇に連れてオン抵抗 R_{on} が単調に増加するという特性を利用して、許容チャンネル温度の上限値に対応するオン抵抗 R_{on} 以下で FET を動作させる。そのために、オン抵抗 R_{on} に依存し、 R_{on} が大きくなるに連れて増加する FET (T1) のドレイン～ソース間電圧降下を用いて、 R_{on} の大きさを管理し、この電圧降下が所定のレベルに達したときに回路を遮断する。この制御により、FET (T1) のチャンネル温度はいかなる場合でも許容温度の上限を超えないので、確実に素子を保護することができる。

【0087】

また、チャンネル温度の上昇を伴わない過電流が発生した場合には、正常電流（通常動作時の電流）の2倍～4倍のときには、例えば160msの時間経過後に回路を遮断し、4倍～8倍のときには、40msの時間経過後に回路を遮断し、8～16倍のときには、20msの時間経過後に回路を遮断するように設定している（この倍率は、抵抗 R_{61} , R_{60} , R_6 , R_5 の大きさにより決定される）。また、16倍以上（デッドショート時）には、約250 μ sの時間経過後に回路を遮断する。従って、過電流の大きさに応じた回路の遮断が可能となる。

【0088】

また、デッドショート時には、判定電圧の圧縮効果（電圧 V_4 が $1/\gamma$ となる効果）が生じるので、より早く素子を遮断して、素子、及び配線を保護することができる。

【0089】

次に、FET (T1) のオン抵抗 R_{on} のバラツキについて説明する。同一の仕様、規格を有する FET (T1) であっても、個々の素子に応じて、バラツキが存在する。

【0090】

ここで、FET (T1) のオン抵抗 R_{on} が大きくなると、FET (T1) のドレイン～ソース間電圧が判定値に達するときのドレイン電流 I_D が反比例して減少するので、FET (T1) の遮断が早まることになる。

【0091】

また、FET (T1) のオン抵抗 R_{on} が最小値のときに、遮断電流 I_{Ds} 、及びチャンネル発熱量 ΔT_{ch} が最大となる。従って、チャンネル温度が 150°C のときのオン抵抗 R_{on} ($@150^{\circ}\text{C}$) のバラツキがある場合には、このバラツキのうち、最小となる値を採用して、前述した (1) 式の特性を設定すれば良い。

【0092】

また、チャンネル温度が 150°C のときのオン抵抗 R_{on} ($@150^{\circ}\text{C}$) は、経時劣化により大きくなることはあっても、小さくなることはない。このため、チャンネル発熱量 ΔT_{ch} の最大値は、明確な上限が存在し、安定した保護性能を実現することができる。

【0093】

ここで、従来より用いられている電流検出方式の保護装置との対比について説明する。電流検出方式とは、例えばシャント抵抗を用いた場合のように、負荷電流が所定の電流値を超えたときに、これを検出して、回路を遮断する方式である。

【0094】

電流検出方式では、オン抵抗 R_{on} が大きくなると、チャンネル発熱量 ΔT_{ch} はこれに比例して大きくなり、この変化は電流変化として現れないので、オン抵抗 R_{on} の増大を検出することができない。そして、オン抵抗 R_{on} が増大すると、チャンネルの発熱量はより一層増大し、熱暴走に至る。従って、従来の電流検出方式では、別途過熱遮断機能を組み込む必要がある。

【0095】

つまり、本実施形態に係る過電流保護装置では、オン抵抗 R_{on} が増大すると、遮断電流値が減少するので、オン抵抗増大によるチャンネル自己発熱を抑制でき、熱暴走に至ることはない。従って電流検出方式のように、別途過熱遮断機能を組み込む必要がない。

【0096】

また、チャンネル温度が 150°C に達する前に確実に、素子が遮断されるので、チャンネルにダメージを与える要因を削除することことができ、オン故障の発

生を低減することができ、素子の信頼性を向上させることができる。

【0097】

更に、周囲温度が低い場合には、オン抵抗 R_{on} が小さくなり、大電流を流す余裕があるが（多少の過電流が発生した場合でも回路を遮断することなく動作させることができるが）、従来の過電流検出方式では、オン抵抗 R_{on} の低下を検出することができず、電流値の増大が検知された際には周囲温度と関係なく回路を遮断してしまうので、この余裕を利用することができない。従って、この点でも利点がある。

【0098】

以上、本発明の半導体素子の保護装置、及び回路定数の設定方法を図示の実施形態に基づいて説明したが、本発明はこれに限定されるものではなく、各部の構成は、同様の機能を有する任意の構成のものに置き換えることができる。

【0099】

例えば、本実施形態では、負荷 R_L のプラス側端子と電源 V_B のプラス側との間に FET (T1) を搭載する例について説明したが、本発明はこれに限定されるものではなく、負荷 R_L のマイナス側に FET (T1) を設ける構成とすることができる。

【0100】

【発明の効果】

以上説明したように、本発明によれば、半導体素子のチャンネル温度が許容温度上限値（例えば、 150°C ）に達する前に、この半導体素子が遮断されるように動作するので、半導体素子を確実に保護することができる。また、半導体素子を接続するための配線は、半導体素子よりも熱的に強いので、半導体素子を熱的に保護することにより、配線をも保護することができる。

【0101】

更に、本発明では、半導体素子のチャンネル温度、ひいては該半導体素子のオン抵抗の大きさを検出する方式を採用しているので、従来の電流検出方式と比較して、熱暴走に至るという問題を回避することができる。また、たとえ電流値が増大した場合でも、チャンネル温度が許容温度に達していなければ、半導体素子

のオン状態を維持することができるので、半導体素子の性能を最大限に活用できる。

【図面の簡単な説明】

【図 1】

本発明に係る半導体素子の保護装置の、主要部の構成を示す回路図である。

【図 2】

本発明に係る半導体素子の保護装置の、一実施形態の構成を示す回路図である。

【図 3】

チャンネル温度が許容温度上限のときの、オン抵抗値 R_{on} (@ 150℃)、動作周囲温度が上限値 T_{Amax} のとき自己発熱によりチャンネル温度が許容温度上限 (150℃) に到達する最小の電流値 I_D (@ 150℃ & T_{Amax})、臨界電圧、判定電圧 V_4 、および点 p_4 に発生する V_5 電圧の関係を示す特性図である。

【符号の説明】

1 駆動回路

2 タイマ

3 パルスカウンタ

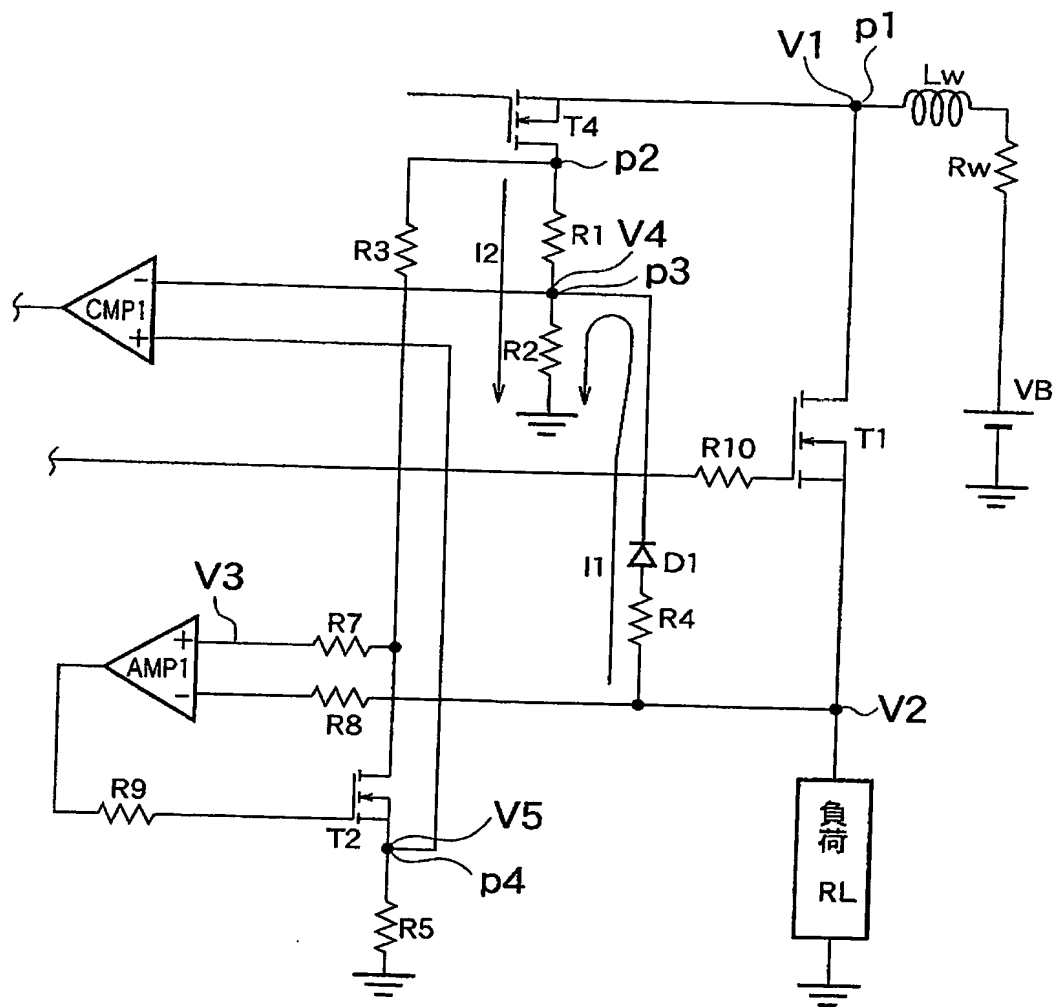
100 半導体素子の保護装置

T1 FET (半導体素子)

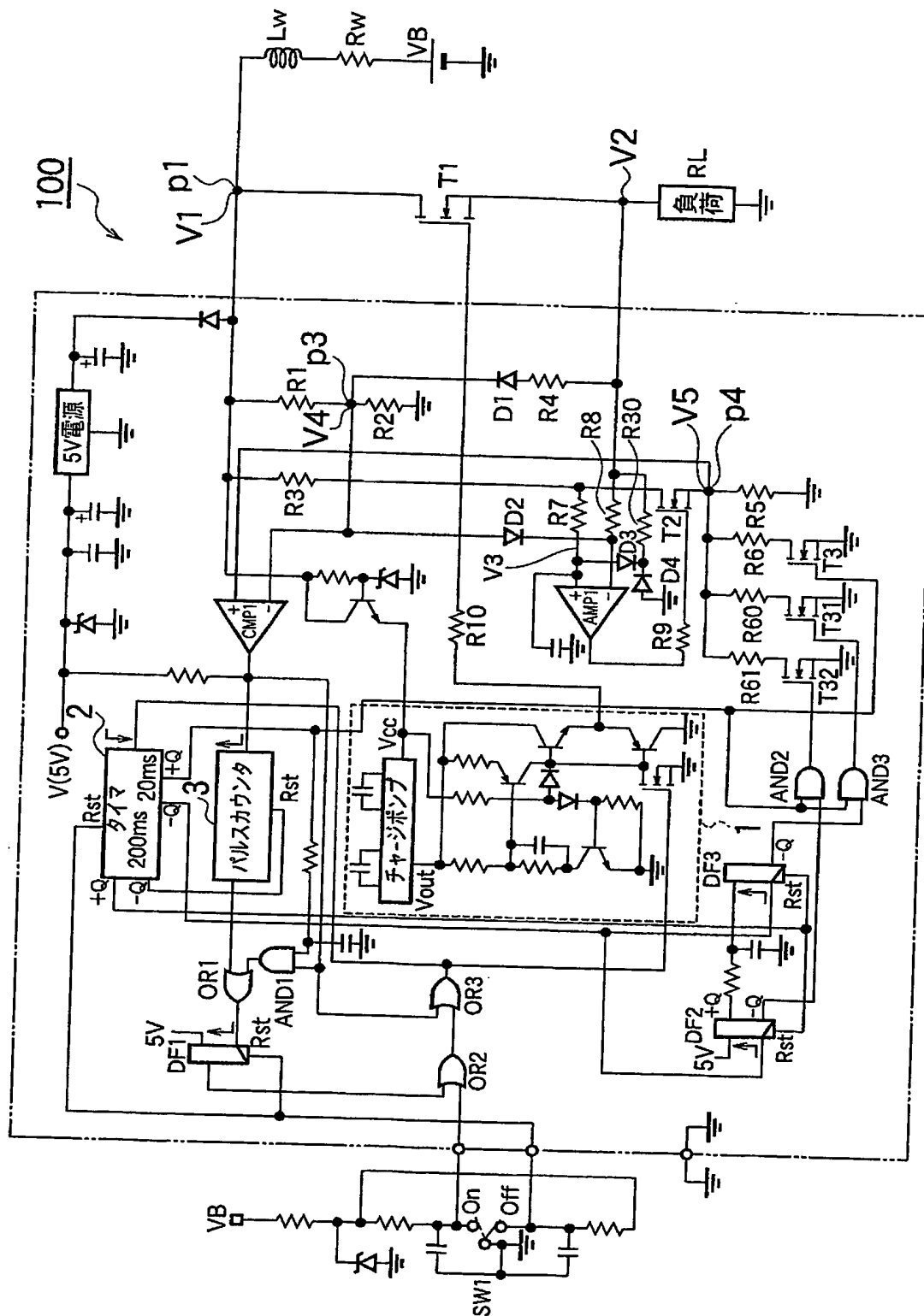
CMP1 コンパレータ (比較手段)

【書類名】 図面

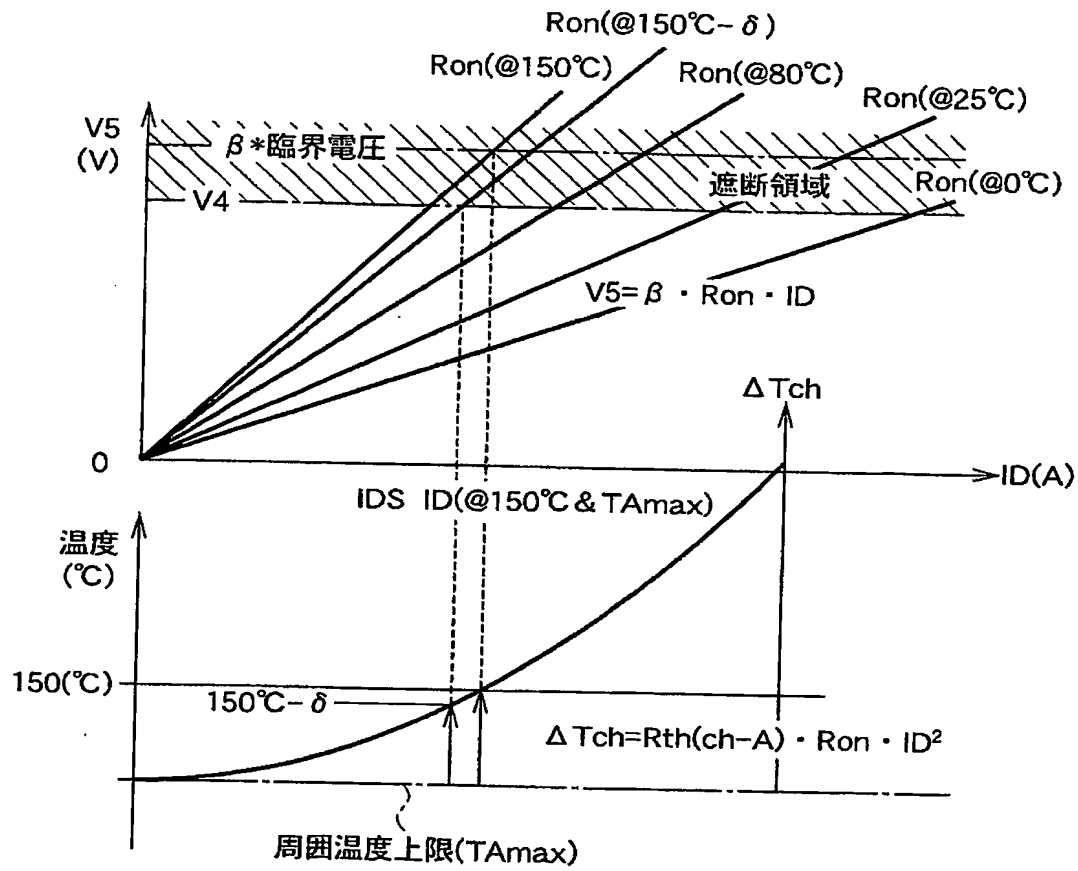
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 半導体素子の温度、及び周囲温度を考慮して半導体素子を保護することのできる半導体素子の保護装置を提供する。

【解決手段】 FET (T1) のドレイン、ソース間電圧 V_{DS} と、所定の判定電圧 V_4 とを比較するコンパレータ CMP1 と、該コンパレータ CMP1 にて、ドレイン、ソース間電圧 V_{DS} が電圧 V_4 よりも大きいと判定された際に、FET (T1) を遮断する手段と、を有し、FET (T1) のチャンネル温度が許容温度上限のときの、オン抵抗 R_{on} と、ジュール熱による自己発熱によりチャンネル温度が許容温度の上限値に到達する最小の電流値と、の積を臨界電圧とし、判定電圧を、臨界電圧以下に設定することを特徴とする。

【選択図】 図2

特願 2002-204729

出願人履歴情報

識別番号

[000006895]

1. 変更年月日

1990年 9月 6日

[変更理由]

新規登録

住 所

東京都港区三田1丁目4番28号

氏 名

矢崎総業株式会社